



(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

(12) Patentschrift
(10) DE 196 00 422 C 1

(51) Int. Cl.⁸:
H01 L 27/115
H 01 L 21/8247
// G11C 16/02

(21) Aktenzeichen: 196 00 422.5-33
(22) Anmeldetag: 8. 1. 98
(43) Offenlegungstag: —
(45) Veröffentlichungstag
der Patenterteilung: 21. 8. 97

DE 196 00 422 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

(73) Patentinhaber:
Siemens AG, 80333 München, DE

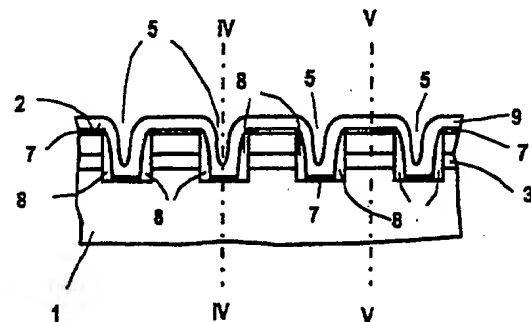
(72) Erfinder:
Krautschneider, Wolfgang, Dipl.-Ing. Dr., 83104
Tuntenhausen, DE; Risch, Lothar, Dipl.-Phys. Dr.,
85579 Neubiberg, DE; Hofmann, Franz, Dipl.-Phys.
Dr., 80995 München, DE; Reisinger, Hans, Dipl.-Phys.
Dr., 82031 Grünwald, DE

(56) Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:
US 54 24 569
EP 06 73 070 A2
JP 05-3 26 976 A
NOZAKI, T., et al.: A 1-Mb EEPROM with MONOS
Memory Cell for Semiconductor Disk Application.
US-Z.: IEEE Journal of Solid-State Circuits, Vol. 26,
No. 4, April 1991, p. 497-501;
HORI, T., et al.: A MOSFET with Si-implanted

Gate-SiO₂ Insulator for Nonvolatile Memory
Applications in IEDM 1992, p. 469-472;
KAWAGOE, H. et al.: Minimum Size ROM Structure
Compatible with Silicon-Gate E/D MOS LSI US-Z.:
IEEE Journal of Solid-State Circuits, Vol. SC-11,
No. 3 June 1976, p. 360-364;

(54) Elektrisch programmierbare Speicherzellenanordnung und Verfahren zu deren Herstellung

(57) Eine elektrisch programmierbare Speicherzellenanordnung umfaßt eine Vielzahl einzelner Speicherzellen, die jeweils einen MOS-Transistor mit einem Gatedielektrikum mit Haftstellen umfassen und die in parallel verlaufenden Zeilen angeordnet sind. Benachbarte Zeilen verlaufen dabei jeweils abwechselnd am Boden von Längsgräben (5) und zwischen benachbarten Längsgräben (5) und sind gegeneinander isoliert. Die Speicherzellenanordnung ist durch selbstjustierende Prozeßschritte mit einem Flächenbedarf pro Speicherzelle von 2 F² (F: minimale Strukturgröße) herstellbar.



DE 196 00 422 C 1

Für viele elektronische Systeme werden Speicher benötigt, in die Daten fest eingeschrieben sind. Derartige Speicher werden unter anderem als Festwertspeicher, Lesespeicher oder Read-Only-Memory bezeichnet.

Für sehr große Datenmengen werden als Lesespeicher vielfach Kunststoffscheiben verwendet, die mit Aluminium beschichtet sind. In der Beschichtung weisen diese Kunststoffscheiben zweierlei punktartige Vertiefungen auf, die den logischen Werten Null und Eins zugeordnet werden. In der Anordnung dieser Vertiefungen ist die Information digital abgespeichert. Derartige Scheiben werden als Kompaktdisc bezeichnet und sind zur digitalen Abspeicherung von Musik verbreitet.

Zum Lesen der auf einer Kompaktdisc gespeicherten Daten wird ein Lesegerät verwendet, in dem die Scheibe mechanisch rotiert. Die punktartigen Vertiefungen werden über eine Laserdiode und eine Photozelle abgetastet. Typische Abtastraten sind dabei 2×40 kHz. Auf einer Kompaktdisc können fünf GBits Informationen gespeichert werden.

Das Lesegerät weist bewegte Teile auf, die mechanischem Verschleiß unterworfen sind, die vergleichsweise viel Volumen benötigen und die nur einen langsamen Datenzugriff erlauben. Das Lesegerät ist darüber hinaus empfindlich gegen Erschütterungen und daher in mobilen Systemen nur begrenzt einsetzbar.

Zur Speicherung kleinerer Datenmengen sind Festwertspeicher auf Halbleiterbasis bekannt. Vielfach werden diese als planare integrierte Siliziumschaltung realisiert, in der MOS-Transistoren verwendet werden. Die MOS-Transistoren werden jeweils über die Gateelektrode, die mit der Wortleitung verbunden ist, ausgewählt. Der Eingang des MOS-Transistors ist mit einer Referenzleitung verbunden, der Ausgang mit einer Bitleitung. Beim Lesevorgang wird bewertet, ob ein Strom durch den Transistor fließt oder nicht. Entsprechend wird die gespeicherte Information zugeordnet. Technisch wird die Speicherung der Information meist dadurch bewirkt, daß die MOS-Transistoren durch unterschiedliche Implantation im Kanalgebiet unterschiedliche Einsatzspannungen aufweisen.

Diese Speicher auf Halbleiterbasis erlauben einen wahlfreien Zugriff auf die gespeicherte Information. Die zum Lesen der Information erforderliche elektrische Leistung ist deutlich kleiner als bei einem Lesegerät mit einem mechanischen Laufwerk. Da zum Lesen der Information kein mechanisches Laufwerk erforderlich ist, entfällt der mechanische Verschleiß und die Empfindlichkeit gegenüber Erschütterungen. Festwertspeicher auf Halbleiterbasis sind daher auch für mobile Systeme einsetzbar.

Die beschriebenen Siliziumspeicher weisen einen planaren Aufbau auf. Damit wird pro Speicherzelle ein minimaler Flächenbedarf erforderlich, der bei etwa 6 bis 8 F^2 liegt, wobei F die in der jeweiligen Technologie kleinste herstellbare Strukturgröße ist. Planare Siliziumspeicher sind damit in einer $1 \mu\text{m}$ -Technologie auf Speicherdichten um 0,14 Bit pro μm^2 begrenzt.

Es ist bekannt, bei planaren Siliziumspeichern die Speicherdichte dadurch zu erhöhen, daß die MOS-Transistoren zeilenweise angeordnet sind. In jeder Zeile sind die MOS-Transistoren in Reihe verschaltet. Durch zeilenweises Ansteuern im Sinne einer "NAND"-Architektur werden die MOS-Transistoren ausgelesen. Dazu sind pro Zeile nur zwei Anschlüsse erforderlich, zwischen denen die in der Zeile angeordneten MOS-Transi-

storen in Reihe verschaltet sind. Miteinander verbundene Source/Drain-Gebiete benachbarter MOS-Transistoren können dann als zusammenhängendes dotiertes Gebiet realisiert sein. Dadurch kann der Flächenbedarf pro Speicherzelle auf theoretisch $4 F^2$ (F : in der jeweiligen Technologie kleinste herstellbare Strukturgröße) reduziert werden. Eine solche Speicherzellenanordnung ist zum Beispiel aus H. Kawagoe und N. Tsuji in IEEE J. Solid-State Circuits, vol. SC-11, p. 360, 1976, bekannt. Eine nach diesem Prinzip aufgebaute EEPROM-Anordnung ist in EP 0 673 070 A2 vorgeschlagen worden.

Die Programmierung der beschriebenen Speicherzellenanordnungen erfolgt bei der Herstellung. Für viele Anwendungen werden jedoch Speicher benötigt, in die Daten durch elektrische Programmierung eingeschrieben werden können. In elektrisch programmierbaren Speicherzellenanordnungen wird die Speicherung der Information meist dadurch bewirkt, daß zwischen dem Gate und dem Kanalgebiet der MOS-Transistoren ein floatendes Gate, das mit einer elektrischen Ladung beaufschlagt werden kann, oder als Gatedielektrikum eine Doppelschicht aus SiO_2 und Si_3N_4 , an deren Grenzfläche elektrische Ladungsträger an Haftstellen festgehalten werden können, vorgesehen ist. Die Einsatzspannung des MOS-Transistors ist abhängig von der auf dem floatenden Gate bzw. den Haftstellen befindlichen Ladung. Diese Eigenschaft wird zur elektrischen Programmierung ausgenutzt (siehe zum Beispiel S. M. Sze, Semiconductor Devices, John Wiley, Seite 486 bis 490; T. Nozaki et al, IEEE Journal of Solid State Circuits, Vol. 26, Nr. 4, 1991, S. 497 bis 501; T. Hori et al, IEDM 1992, S. 469 bis 472; JP 5-326 976).

In US-PS 5 424 569 ist eine nichtflüchtige Speicherzellenanordnung vorgeschlagen worden, die durch Einfang von Ladungsträgern in eine SiO_2 - Si_3N_4 - SiO_2 -Dreifachschicht elektrisch programmiert werden kann. Als Speicherzellen umfaßt sie planare MOS-Transistoren mit der SiO_2 - Si_3N_4 - SiO_2 -Dreifachschicht als Gatedielektrikum und einer Gateelektrode, die mit einer Wortleitung verbunden ist. Entlang einer Wortleitung benachbarte MOS-Transistoren sind durch einen Graben, der mit isolierendem Material gefüllt ist, gegeneinander isoliert. Die Source/Drain-Gebiete der MOS-Transistoren sind jeweils in den Seitenwänden der isolierenden Gräben realisiert. Jedes Source/Drain-Gebiet eines MOS-Transistors ist mit einer separaten Begleitung verbunden. Am Boden der isolierenden Gräben sind dotierte Gebiete vorgesehen, die die Isolation zwischen benachbarten MOS-Transistoren verbessern.

Der Erfindung liegt das Problem zugrunde, eine elektrisch programmierbare Speicherzellenanordnung auf Halbleiterbasis anzugeben, bei der eine erhöhte Speicherdichte erzielt wird und die mit wenigen Herstellungsschritten und hoher Ausbeute herstellbar ist. Desweiteren soll ein Verfahren zur Herstellung einer solchen Speicherzellenanordnung angegeben werden.

Dieses Problem wird gelöst durch eine Speicherzellenanordnung gemäß Anspruch 1 sowie durch ein Verfahren zu deren Herstellung gemäß Anspruch 8. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In der erfindungsgemäßen Speicherzellenanordnung sind Speicherzellen jeweils in im wesentlichen parallel verlaufenden Zeilen in einer Hauptfläche eines Halbleitersubstrats angeordnet. In der Hauptfläche des Halbleitersubstrats sind Längsgräben vorgesehen. Die Längsgräben verlaufen im wesentlichen parallel zu den Zeilen. Sie sind mindestens so lang wie die Zeilen. Die

Zeilen sind jeweils abwechselnd zwischen benachbarten Längsgräben und auf dem Boden der Längsgräben angeordnet. Die Hauptfläche des Halbleitersubstrats ist durch die Längsgräben strukturiert. Jede zweite der Zeilen ist am Boden der Längsgräben angeordnet, die dazwischen angeordneten Zeilen sind auf dem die Längsgräben begrenzenden Material angeordnet.

Die MOS-Transistoren weisen ein Gatedielektrikum aus einem Material mit Haftstellen auf. Haftstellen, englisch traps, haben die Eigenschaften Ladungsträger, speziell Elektronen, einzufangen. Zur elektrischen Programmierung werden die MOS-Transistoren so beschaltet, daß der zu speichernden Information entsprechende Ladungsträger in das Gatedielektrikum gelangen und von den Haftstellen festgehalten werden. Da die Ladungsträger in den Haftstellen gefangen sind, ist die Information dauerhaft gespeichert. Die programmierte Speicherzellenanordnung stellt daher eine Festwert-Speicherzellenanordnung dar. Die Programmierung kann sowohl durch Fowler-Nordheim-Tunneln als auch durch Hot-Electron-Injection erfolgen. Durch Umkehr der Polaritäten beim Fowler-Nordheim-Tunneln können Ladungsträger aus den Haftstellen entfernt werden, so daß die Programmierung der Speicherzellenanordnung geändert wird.

Zur Abspeicherung von Daten in digitaler Form werden die MOS-Transistoren so programmiert, daß sie zwei unterschiedliche Schwellenspannungen aufweisen. Soll die Speicherzellenanordnung für Mehrwertlogik eingesetzt werden, so wird das Gatedielektrikum durch entsprechende Spannungs- und Zeitbedingungen bei der Programmierung so mit unterschiedlichen Ladungsmengen beaufschlagt, daß die MOS-Transistoren je nach eingespeicherter Information mehr als zwei unterschiedliche Schwellenspannungen aufweisen.

Das Gatedielektrikum ist gemäß einer Ausführungsform der Erfindung als Mehrfachschicht ausgebildet, in der mindestens eine Schicht vorgesehen ist, die im Vergleich mit mindestens einer weiteren Schicht in der Mehrfachschicht einen erhöhten Ladungsträgereinfangquerschnitt aufweist. Die Haftstellen sind an der Grenzfläche zwischen beiden Schichten lokalisiert. Vorzugsweise umfaßt die dielektrische Mehrfachschicht eine SiO_2 -Schicht, eine Si_3N_4 -Schicht und eine SiO_2 -Schicht (sogenanntes ONO). Alternativ kann das Gatedielektrikum als Mehrfachschicht aus anderen Materialien, wobei die Schicht mit dem erhöhten Ladungsträgereinfangquerschnitt zum Beispiel aus Si_3N_4 , Ta_2O_5 , Al_2O_3 oder aus TiO_2 besteht und die benachbarte Schicht aus SiO_2 , Si_3N_4 oder Al_2O_3 bestehen. Ferner kann die Mehrfachschicht mehr oder weniger als drei Schichten umfassen.

Alternativ kann das Gatedielektrikum eine dielektrische Schicht, zum Beispiel aus SiO_2 , umfassen, in die Fremdatome, zum Beispiel W, Pt, Cr, Ni, Pd, oder Ir eingelagert sind. Die eingelagerten Fremdatome können durch Implantation, durch Zugabe bei einer Oxidation oder durch Diffusion eingebracht werden. Die eingelagerten Fremdatome bilden in diesem Fall die Haftstellen.

Benachbarte Zeilen sind durch eine Isolationsstruktur gegeneinander isoliert. Die Isolationsstruktur isoliert benachbarte Zeilen in vertikaler Richtung. Es liegt im Rahmen der Erfindung, die Isolationsstruktur durch entlang den Seitenwänden der Längsgräben angeordnete, isolierende Spacer und jeweils zwischen benachbarten Längsgräben im Halbleitersubstrat angeordnete, dotierte Schichten, die die Ausbildung leitender Kanäle im

Halbleitersubstrat zwischen benachbarten Zeilen verhindern, sogenannte Channel-Stop-Schichten, auszubilden.

Die dotierten Schichten sind vorzugsweise in dem Material des Halbleitersubstrats, das jeweils zwischen benachbarten Längsgräben angeordnet ist, ausgebildet und weisen eine Tiefe im Halbleitersubstrat auf, die geringer als die Tiefe der Längsgräben ist. Diese Isolation benötigt zwischen benachbarten Zeilen keine Fläche. Parallel zur Hauptfläche des Halbleitersubstrats sind benachbarte Zeilen unmittelbar zueinander benachbart. Senkrecht zur Hauptfläche des Halbleitersubstrats weisen benachbarte Zeilen einen Abstand entsprechend der Tiefe der Längsgräben auf.

Vorzugsweise sind die MOS-Transistoren von entlang einer Zeile angeordneten Speicherzellen in Reihe verschaltet. Miteinander verbundene Source/Drain-Gebiete von entlang einer Zeile benachbarten MOS-Transistoren sind dabei als zusammenhängendes dotiertes Gebiet ausgebildet. Jede Zeile weist zwei Anschlüsse auf, zwischen denen in der Zeile angeordnete MOS-Transistoren in Reihe verschaltet sind. Über diese Anschlüsse können die in der jeweiligen Zeile befindlichen MOS-Transistoren im Sinne einer "NAND"-Architektur angesteuert werden.

Vorzugsweise wird die erfindungsgemäße Speicherzellenanordnung mit einer Isolationsstruktur, die isolierende Spacer und dotierte Schichten, die die Ausbildung leitender Kanäle im Halbleitersubstrat zwischen benachbarten Zeilen verhindern, umfaßt, sowie mit in jeder Zeile in Reihe verschalteten MOS-Transistoren, in denen jeweils miteinander verbundene Source/Drain-Gebiete als zusammenhängendes dotiertes Gebiet im Halbleitersubstrat ausgebildet sind, realisiert. Werden in dieser Ausführungsform die Breite der Längsgräben, der Abstand benachbarter Längsgräben, die Ausdehnung der zusammenhängenden dotierten Gebiete und die Breite der Wortleitungen entsprechend einem in der jeweiligen Technologie minimalen Strukturgröße F ausgebildet, so beträgt der Flächenbedarf pro Speicherzelle $2 F^2$. Unter Zugrundelegung einer Technologie mit einer minimalen Strukturbreite F von $0,4 \mu\text{m}$ ist damit eine Speicherdichte von $6,25 \text{ Bit}/\mu\text{m}^2$ erzielbar.

Die Herstellung der erfindungsgemäßen Speicherzellenanordnung erfolgt unter Einsatz selbstjustierender Prozeßschritte, so daß der Platzbedarf pro Speicherzelle reduziert werden kann.

Zur Herstellung der Speicherzellenanordnung werden zunächst im wesentlichen parallel verlaufende Längsgräben geätzt. Nach Erzeugung eines Gatedielektrikums aus einem Material mit Haftstellen für alle MOS-Transistoren werden quer zu den Zeilen verlaufende Wortleitungen erzeugt, die jeweils Gateelektroden von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren bilden. Schließlich wird eine Source/Drain-Implantation durchgeführt, bei der die Wortleitungen als Maske verwendet werden und bei der gleichzeitig die Source/Drain-Gebiete für die MOS-Transistoren, die am Boden der Längsgräben angeordnet sind und für die MOS-Transistoren, die zwischen benachbarten Längsgräben angeordnet sind, gebildet werden.

Vorzugsweise werden die Längsgräben unter Verwendung einer SiO_2 -enthaltenden Grabenmaske als Ätzmaske geätzt.

Das Gatedielektrikum wird gemäß einer Ausführungsform der Erfindung als Mehrfachschicht mit mindestens einer Schicht, die im Vergleich mit mindestens einer weiteren Schicht einen erhöhten Ladungsträger-

eingangsquerschnitt aufweist, gebildet. Alternativ wird das Gatedielektrikum als dielektrische Schicht mit eingelagerten Fremdatomen gebildet, wobei die eingelagerten Fremdatome im Vergleich mit der dielektrischen Schicht einen erhöhten Ladungsträgereingangsquerschnitt aufweisen.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der Figuren näher erläutert.

Fig. 1 zeigt ein Siliziumsubstrat nach Bildung einer Channel-Stop-Schicht.

Fig. 2 zeigt das Siliziumsubstrat nach einer Grabenätzung.

Fig. 3 zeigt das Siliziumsubstrat nach Bildung von Wortleitungen.

Fig. 4 zeigt eine Draufsicht auf den in Fig. 3 mit IV-IV bezeichneten Schnitt durch das Siliziumsubstrat.

Fig. 5 zeigt den in Fig. 3 mit V-V bezeichneten Schnitt durch das Siliziumsubstrat.

Fig. 6 zeigt eine Aufsicht auf das in Fig. 3 dargestellte Siliziumsubstrat.

Die Darstellungen in den Figuren sind nicht maßstäblich.

Zur Herstellung einer erfindungsgemäßen Speicherzellenanordnung in einem Substrat 1 aus zum Beispiel monokristallinem Silizium wird zunächst an einer Hauptfläche 2 des Substrats 1 eine Isolationsstruktur erzeugt, die den Bereich für die Speicherzellenanordnung definiert (nicht dargestellt). Das Substrat 1 ist zum Beispiel p-dotiert mit einer Dotierstoffkonzentration von 10^{15} cm^{-3} .

Anschließend wird eine Implantation mit Bor durchgeführt, zur Bildung einer Channel-Stop-Schicht 3. Die Borimplantation erfolgt mit einer Dosis von zum Beispiel $6 \times 10^{13} \text{ cm}^{-2}$ und einer Energie von zum Beispiel 120 keV. Dadurch wird die Channel-Stop-Schicht 3 in einer Tiefe von zum Beispiel 0,2 μm unterhalb der Hauptfläche 2 in einer Dicke von 0,3 μm hergestellt (siehe Fig. 1). Es wird eine erste Kanalimplantation mit zum Beispiel $1,5 \times 10^{12} \text{ cm}^{-2}$ bei 25 keV zur Einstellung der Einsatzspannungen von an der Hauptfläche herzustellenden MOS-Transistoren durchgeführt.

Nach Abscheidung einer SiO_2 -Schicht in einer Dicke von zum Beispiel 200 nm mit Hilfe eines TEOS-Verfahrens wird durch Strukturierung der SiO_2 -Schicht mit Hilfe photolithographischer Verfahren eine Grabenmaske 4 gebildet (siehe Fig. 2).

Durch anisotropes Ätzen zum Beispiel mit Cl_2 werden unter Verwendung der Grabenmaske 4 als Ätzmaske Längsrillen 5 geätzt. Die Längsrillen 5 weisen eine Tiefe von zum Beispiel 0,6 μm auf. Die Längsrillen 5 reichen bis in das Substrat 1 hinein, sie durchtrennen die Channel-Stop-Schicht 3.

Die Weite der Längsrillen 5 beträgt bei einer 0,4- μm -Technologie 0,4 μm , der Abstand benachbarter Längsrillen 5 beträgt ebenfalls 0,4 μm . Die Länge der Längsrillen 5 richtet sich nach der Größe der Speicherzellenanordnung und beträgt zum Beispiel 130 μm .

Es folgt eine zweite Kanalimplantation mit zum Beispiel $1,5 \times 10^{12} \text{ cm}^{-2}$ bei 25 keV zur Einstellung der Einsatzspannung von am Boden der Längsrillen herzustellenden MOS-Transistoren.

Durch Abscheidung einer weiteren SiO_2 -Schicht in einem TEOS-Verfahren und anschließendes anisotropes Ätzen werden an den Seitenwänden der Längsrillen 5 Spacer 6 aus SiO_2 gebildet.

Anschließend wird die Grabenmaske 4 naßchemisch zum Beispiel mit $\text{NH}_4\text{F}/\text{HF}$ entfernt. Dabei werden auch die Spacer 6 entfernt. Nach Aufwachsen und We-

gätzen eines Sacrificial-Oxids wird in einem TEOS-Verfahren eine weitere SiO_2 -Schicht abgeschieden, aus der durch anisotropes Trockenätzen an den Seitenwänden der Längsrillen 5 wiederum Spacer 8 aus SiO_2 gebildet werden. Die SiO_2 -Schicht wird in einer Dicke von zum Beispiel 60 nm abgeschieden. Das Rückätzen erfolgt zum Beispiel mit CF_4 .

Anschließend wird ein Gatedielektrikum 7 gebildet. Das Gatedielektrikum 7 wird aus einem Material mit hoher Haftstellendichte für in das Dielektrikum injizierte Ladungsträger gebildet. Das Gatedielektrikum 7 wird zum Beispiel aus einer dielektrischen Mehrfachsicht gebildet, in der mindestens eine Schicht vorgesehen ist, die im Vergleich mit mindestens einer weiteren Schicht in der Mehrfachsicht einen erhöhten Ladungsträgereingangsquerschnitt aufweist. Vorzugsweise umfaßt die dielektrische Mehrfachsicht eine SiO_2 -Schicht, eine Si_3N_4 -Schicht und eine SiO_2 -Schicht (sogenanntes ONO). Die Schichtdicken in der Mehrfachsicht werden so bemessen, daß die Mehrfachsicht bezüglich der Gatekapazität einer Schicht aus thermischem SiO_2 mit einer Dicke von zum Beispiel 10 nm entspricht. Dazu sind für die SiO_2 -Schichten Schichtdicken jeweils von 4 nm und für die Si_3N_4 -Schicht eine Schichtdicke von 5 nm erforderlich.

Alternativ kann das Gatedielektrikum 7 als Mehrfachsicht aus anderen Materialien, wobei die Schicht mit dem erhöhten Ladungsträgereingangsquerschnitt zum Beispiel aus Si_3N_4 , Ta_2O_5 , Al_2O_3 oder aus TiO_2 besteht und die benachbarte Schicht aus SiO_2 , Si_3N_4 oder Al_2O_3 bestehen. Ferner kann das Gatedielektrikum 7 eine dielektrische Schicht, zum Beispiel aus SiO_2 umfassen, in die Fremdatome, zum Beispiel W, Pt, Cr, Ni, Pd, oder Ir eingelagert sind. Die eingelagerten Fremdatome können durch Implantation, durch Zugabe bei einer Oxidation oder Diffusion eingebracht werden.

Das Gatedielektrikum 7 ist am Boden der Längsrillen 5 und zwischen den Längsrillen 5 auf der Hauptfläche 2 angeordnet (siehe Fig. 3, Fig. 4, der den mit IV-IV bezeichneten Schnitt durch Fig. 3 darstellt, und Fig. 5, die den mit V-V bezeichneten Schnitt in Fig. 3 darstellt. Der in Fig. 3 dargestellte Schnitt ist in Fig. 4 und Fig. 5 jeweils mit III-III bezeichnet).

Es wird ganzflächig eine Polysiliziumschicht in einer Dicke von zum Beispiel 400 nm abgeschieden. Durch Strukturierung der Polysiliziumschicht in einem photolithographischen Prozeßschritt werden Wortleitungen 9 gebildet, die entlang der Hauptfläche 2 zum Beispiel senkrecht zu den Längsrillen 5 verlaufen. Die Wortleitungen 9 weisen eine Breite von 0,4 μm auf. Benachbarte Wortleitungen 9 weisen einen Abstand von 0,4 μm auf. Breite und Abstand der Wortleitungen 9 entspricht jeweils einer minimalen Strukturgröße F.

Anschließend wird eine Source/Drain-Implantation mit zum Beispiel Arsen bei einer Energie von zum Beispiel 25 keV und einer Dosis von zum Beispiel $5 \times 10^{15} \text{ cm}^{-2}$ durchgeführt. Bei der Source/Drain-Implantation werden am Boden der Längsrillen 5 sowie in der Hauptfläche 2 zwischen den Längsrillen 5 dotierte Gebiete 10 erzeugt. Die dotierten Gebiete 10 wirken jeweils als gemeinsames Source/Drain-Gebiet für zwei entlang einer Zeile angeordnete, benachbarte MOS-Transistoren. Bei der Source/Drain-Implantation werden gleichzeitig die Wortleitungen 9 dotiert.

Durch Abscheiden und anisotropes Rückätzen einer weiteren SiO_2 -Schicht werden die Flanken der Wortleitungen 9 mit Spacern 11 bedeckt. Die Source/Drain-Implantation erfolgt selbstjustiert bezüglich der Wortlei-

tungen 9. Entsprechend dem Abstand benachbarter Wortleitungen 9, dem Abstand benachbarter Längsgräben 5 sowie den Abmessungen der Längsgräben 5 beträgt die Fläche der dotierten Gebiete 10 parallel zur Hauptfläche 2 maximal $F \times F$, das heißt $0,4 \mu\text{m} \times 0,4 \mu\text{m}$. Je zwei benachbarte dotierte Gebiete 10 und die dazwischen angeordnete Wortleitung 9 bilden jeweils einen MOS-Transistor. Am Boden der Längsgräben 5 sowie zwischen den Längsgräben 5 ist jeweils eine Zeile von in Reihe verschalteten MOS-Transistoren, die jeweils aus zwei dotierten Gebieten 10 und der dazwischen angeordneten Wortleitung 9 gebildet sind, angeordnet. Die am Boden eines Längsgrabens 5 angeordneten MOS-Transistoren sind von den benachbarten, zwischen den Längsgräben 5 angeordneten MOS-Transistoren durch den Spacer 8 und die Channel-Stop-Schicht 3 isoliert. Die Dotierung der Channel-Stop-Schicht 3 von zum Beispiel $3 \times 10^{18} \text{ cm}^{-3}$ gewährleistet gemeinsam mit den Spacern 8, daß die Schwellenspannung des an den Flanken der Längsgräben 5 gebildeten, parasitären MOS-Transistoren ausreichend hoch ist, um einen Leckstrom zu unterbinden.

Jede Zeile ist am Rand der Speicherzellenanordnung mit zwei Anschlüssen versehen, zwischen denen die in der Zeile angeordneten MOS-Transistoren in Reihe verschaltet sind (nicht dargestellt).

Berücksichtigt man, daß jedes der dotierten Gebiete 10 Source/Drain-Gebiet für zwei angrenzende MOS-Transistoren ist, so beträgt die Länge jedes MOS-Transistors parallel zum Verlauf der Längsgräben 5 $2F$. Die Breite der MOS-Transistoren beträgt jeweils F . Herstellungsbedingt beträgt die Fläche für eine aus einem MOS-Transistor gebildete Speicherzelle daher $2F^2$. Entlang einer Wortleitung 9 benachbarte Speicherzellen, deren Konturen Z1, Z2 in der Aufsicht in Fig. 6 als verstärkte Linie eingezeichnet sind, grenzen in der Projektion auf die Hauptfläche 2 unmittelbar aneinander. Die Speicherzelle Z1 ist am Boden eines der Längsgräben 5 angeordnet, die Speicherzelle Z2 dagegen auf der Hauptfläche 2 zwischen zwei benachbarten Längsgräben 5. Durch die in der Höhe versetzte Anordnung benachbarter Speicherzellen wird die Packungsdichte erhöht, ohne daß die Isolation zwischen benachbarten Speicherzellen verschlechtert würde.

Die Programmierung der Speicherzellenanordnung erfolgt durch Füllen von Haftstellen im Gatedielektrikum 7 mittels Injektion von Elektronen. Dadurch wird die Schwellenspannung der programmierten MOS-Transistoren erhöht. Der jeweilige Wert der Schwellenspannungserhöhung läßt sich über Zeit und Größe der angelegten Spannung während der Programmierung einstellen.

Die Programmierung der Speicherzellenanordnung kann sowohl durch Fowler-Nordheim-Tunneln von Elektronen als auch durch Hot-Electron Injection erfolgen.

Zum Einschreiben der Information durch Fowler-Nordheim-Tunnel wird die zu programmierende Speicherzelle über die zugehörige Wortleitung 9 und Bitleitung ausgewählt. Als Bitleitung wirken in diesem Ausführungsbeispiel die entlang einer Zeile in Reihe geschalteten MOS-Transistoren. Die Bitleitung der Speicherzelle wird auf niedriges Potential gelegt, zum Beispiel auf 0 Volt. Die zugehörige Wortleitung 9 wird dagegen auf hohes Potential gelegt, zum Beispiel auf $V_{pr} = 12$ Volt. Die anderen Bitleitungen werden auf ein Potential V_{BL} angehoben, das so bemessen wird, daß $V_{pr} - V_{BL}$ deutlich unterhalb der Programmiervorgang sehr leistungsarm verläuft.

V_{pr} liegt. Die anderen Wortleitungen 9 werden auf ein Potential V_{WL} größer gleich $V_{BL} + V_T$ angehoben, wobei V_T die Schwellenspannung bedeutet. Da sich bei der Programmierung alle anderen Bitleitungen, die die ausgewählte Wortleitung kreuzen, auf höherem Potential befinden, werden die anderen Speicherzellen, die mit der ausgewählten Wortleitung verbunden sind, nicht programmiert. Die Speicherzellen sind in einer NAND-Konfiguration verschaltet. Sie können daher so beschaltet werden, daß kein Drainstrom durch die Speicherzellen fließt. Das hat den Vorteil, daß der gesamte Programmierungsvorgang sehr leistungsarm verläuft.

Erfolgt die Programmierung durch Hot-Electron-Injection, so muß an den zu programmierenden MOS-Transistor die Sättigungsspannung angelegt werden. Dazu wird die der Speicherzelle zugeordnete Bitleitung zwischen Erdpotential und ein hohes Potential, zum Beispiel $V_{BLpr} = 6$ Volt gelegt. Die der Speicherzelle zugeordnete Wortleitung wird auf ein Potential gelegt, bei dem sich der MOS-Transistor im Sättigungsbetrieb befindet. Die Spannung V_{WLpr} an der Wortleitung ist kleiner als V_{BLpr} , zum Beispiel $V_{WLpr} = 4$ Volt. Die anderen Wortleitungen werden auf ein hohes Potential gelegt, das höher ist als V_{BLpr} und V_{WLpr} , zum Beispiel $V_{WL} = 7$ Volt. Diese Spannung wird in Abhängigkeit von der Dicke des Gatedielektrikums 7 so gewählt, daß noch kein Fowler-Nordheim-Tunneln auftritt. Alle anderen Bitleitungen werden an beiden Enden auf gleiches Potential, zum Beispiel auf $V_{BL} = V_{WLpr}/2$ gelegt. Damit wird eine Programmierung von Speicherzellen, die entlang der ausgewählten Wortleitung an anderen Bitleitungen liegen, unterbunden und ein Stromfluß vermieden. Durch den Sättigungsbetrieb bei hoher Spannung entstehen im Kanalbereich des MOS-Transistors der ausgewählten Speicherzelle heiße Elektronen, die teilweise in das Gatedielektrikum 7 injiziert werden. Die Elektronen werden von Haftstellen im Gatedielektrikum 7 festgehalten und erhöhen die Schwellenspannung des MOS-Transistors. Je nach in der jeweiligen Speicherzelle einzuspeichernder Information wird auf diese Weise die Schwellenspannung des jeweiligen MOS-Transistors gezielt verändert.

Die Speicherzellenanordnung wird durch Abscheidung eines Zwischenoxids, Kontaktochätzungen und Aufbringen und Strukturieren einer Metallschicht fertiggestellt. Diese bekannten Prozeßschritte sind nicht dargestellt.

Patentansprüche

1. Elektrisch programmierbare Speicherzellenanordnung,

- bei der eine Vielzahl einzelner Speicherzellen in einem Halbleitersubstrat (1) vorgesehen sind,
- bei der die Speicherzellen jeweils in im wesentlichen parallel verlaufenden Zeilen angeordnet sind,
- bei der in einer Hauptfläche (2) des Halbleitersubstrats (1) Längsgräben (5) vorgesehen sind, die im wesentlichen parallel zu den Zeilen verlaufen,
- bei der die Zeilen jeweils abwechselnd auf der Hauptfläche (2) zwischen benachbarten Längsgräben (5) und auf dem Boden der Längsgräben (5) angeordnet sind,
- bei der Isolationsstrukturen (3, 8) vorgesehen sind, die benachbarten Zeilen gegenein-

- ander isolieren,
 — bei der die Speicherzellen jeweils mindestens einen MOS-Transistor (10, 9, 10) umfassen,
 — bei der quer zu den Zeilen Wortleitungen (9) verlaufen, die jeweils mit den Gateelektroden von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden sind,
 — bei der die MOS-Transistoren ein Gatedielektrikum (7) aus einem Material mit Ladungsträger-Haftstellen aufweisen.
2. Speicherzellenanordnung nach Anspruch 1, bei der die Isolationsstrukturen zur Isolation benachbarter Zeilen entlang den Seitenwänden der Längsgräben (5) angeordnete, isolierende Spacer (8) und jeweils zwischen benachbarten Längsgräben (5) im Halbleitersubstrat (1) angeordnete, dotierte Schichten (3) umfassen, die die Ausbildung leitender Kanäle im Halbleitersubstrat (1) zwischen benachbarten Zeilen verhindern.
3. Speicherzellenanordnung nach Anspruch 1 oder 2,
 — bei der die MOS-Transistoren von entlang einer Zeile angeordneten Speicherzellen in Reihe verschaltet sind,
 — bei der jeweils Source/Drain-Gebiete von entlang einer Zeile benachbarten MOS-Transistoren als zusammenhängendes dotiertes Gebiet (10) im Halbleitersubstrat ausgebildet sind,
 — bei der jede Zeile zwei Anschlüsse aufweist, zwischen denen die in der Zeile angeordneten MOS-Transistoren in Reihe verschaltet sind.
4. Speicherzellenanordnung nach einem der Ansprüche 1 bis 3, bei der die MOS-Transistoren als Gatedielektrikum (7) eine dielektrische Mehrschicht umfassen mit mindestens einer Schicht, die im Vergleich mit mindestens einer weiteren Schicht einen erhöhten Ladungsträgereinfangsquerschnitt aufweist.
5. Speicherzellenanordnung nach Anspruch 4,
 — bei der die Schicht mit erhöhtem Ladungsträgereinfangsquerschnitt mindestens einen der Stoffe Si_3N_4 , Ta_2O_5 , Al_2O_3 oder TiO_2 umfaßt,
 — bei der die weitere Schicht mindestens einen der Stoffe SiO_2 , Si_3N_4 oder Al_2O_3 umfaßt.
6. Speicherzellenanordnung nach einem der Ansprüche 1 bis 3, bei der die MOS-Transistoren als Gatedielektrikum (7) eine dielektrische Schicht mit eingelagerten Fremdatomen umfassen, wobei die eingelagerten Fremdatome im Vergleich mit der dielektrischen Schicht einen erhöhten Ladungsträgereinfangsquerschnitt aufweisen.
7. Speicherzellenanordnung nach Anspruch 6,
 — bei der die dielektrische Schicht SiO_2 umfaßt,
 — bei der die eingelagerten Fremdatome mindestens eines der Elemente W, Pt, Cr, Ni, Pd, oder Ir enthalten.
8. Verfahren zur Herstellung einer elektrisch programmierbaren Speicherzellenanordnung,
 — bei dem in einer Hauptfläche (2) eines Halbleitersubstrats (1) im wesentlichen parallel verlaufende Längsgräben (5) geätzt werden,
 — bei dem eine Vielzahl in Zeilen angeordneter Speicherzellen, die jeweils mindestens einen MOS-Transistor umfassen, erzeugt werden, wobei die Zeilen abwechselnd an der Hauptfläche (2) zwischen benachbarten Längsgräben (5) und am Boden der Längsgräben (5) angeordnet sind,
 — bei dem ein Gatedielektrikum (7) aus einem Material mit Ladungsträger-Haftstellen erzeugt wird,
 — bei dem quer zu den Zeilen verlaufende Wortleitungen (9) erzeugt werden, die jeweils mit Gateelektroden von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden sind,
 — bei dem eine Source/Drain-Implantation für die MOS-Transistoren durchgeführt wird, bei der die Wortleitungen (9) als Maske verwendet werden,
 — bei dem Isolationsstrukturen (3, 8) erzeugt werden, die die MOS-Transistoren benachbarter Zeilen gegeneinander isolieren.
9. Verfahren nach Anspruch 8,
 — bei dem zur Bildung der Isolationsstrukturen im Halbleitersubstrat (1) eine dotierte Schicht (3) erzeugt wird, die beim Ätzen der Längsgräben (5) durchätzt wird und die die Ausbildung leitender Kanäle im Halbleitersubstrat (1) zwischen benachbarten Zeilen verhindert,
 — bei dem zur Bildung der Isolationsstrukturen (3, 8) ferner nach dem Ätzen der Längsgräben (5) an den Seitenwänden der Längsgräben (5) isolierende Spacer (8) erzeugt werden.
10. Verfahren nach Anspruch 8 oder 9,
 — bei dem das Gatedielektrikum (7) als Mehrschicht mit mindestens einer Schicht, die im Vergleich mit mindestens einer weiteren Schicht einen erhöhten Ladungsträgereinfangsquerschnitt aufweist, gebildet wird.
11. Verfahren nach Anspruch 10,
 — bei dem die Schicht mit erhöhtem Ladungsträgereinfangsquerschnitt mindestens einen der Stoffe Si_3N_4 , Ta_2O_5 , Al_2O_3 oder TiO_2 umfaßt,
 — bei dem die weitere Schicht mindestens einen der Stoffe SiO_2 , Si_3N_4 oder Al_2O_3 umfaßt.
12. Verfahren nach Anspruch 8 oder 9, bei dem das Gatedielektrikum (7) als dielektrische Schicht mit eingelagerten Fremdatomen gebildet wird, wobei die eingelagerten Fremdatome im Vergleich mit der dielektrischen Schicht einen erhöhten Ladungsträgereinfangsquerschnitt aufweisen.
13. Verfahren nach Anspruch 12,
 — bei dem die dielektrische Schicht SiO_2 umfaßt,
 — bei dem die eingelagerten Fremdatome mindestens eines der Elemente W, Pt, Cr, Ni, Pd, oder Ir enthalten.

Hierzu 3 Seite(n) Zeichnungen

- Leerseite -

BLANK PAGE

FIG 3

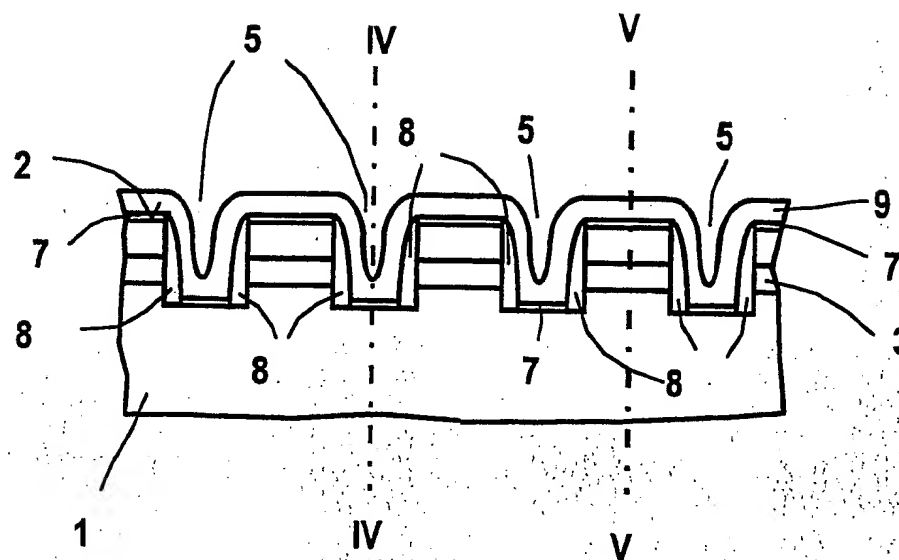
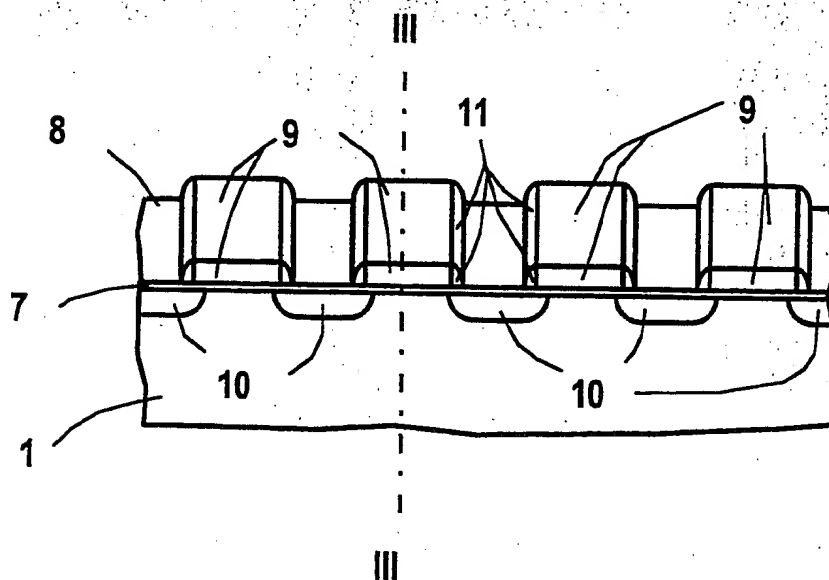


FIG 4



A technical drawing of a multi-chambered container, likely a seedling tray. The drawing shows a cross-section of the container with a lid. The container has a base (1) and a lid (2). The lid is divided into several sections (3, 4, 5, 6) by vertical dividers (7). The sections are labeled 1 through 6. The base is labeled 1. The lid is labeled 2. The sections are labeled 3, 4, 5, and 6. The dividers are labeled 7. The drawing shows the container with the lid closed, and the sections are labeled 1 through 6. The base is labeled 1. The lid is labeled 2. The sections are labeled 3, 4, 5, and 6. The dividers are labeled 7.

FIG 5

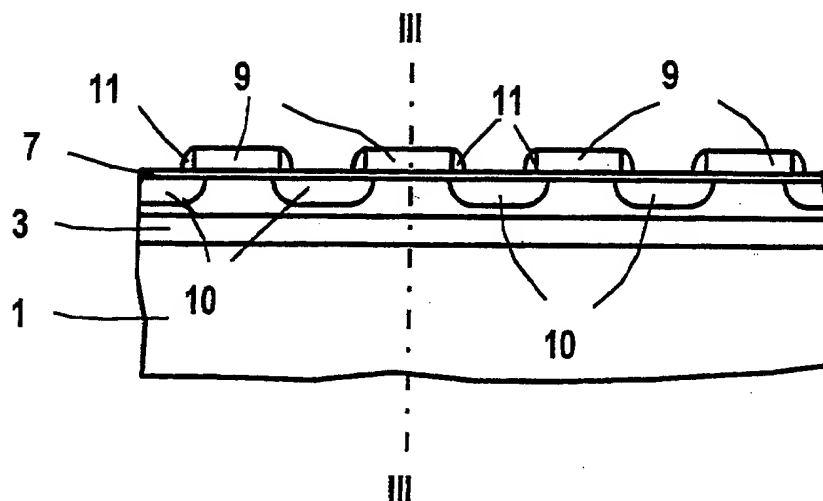
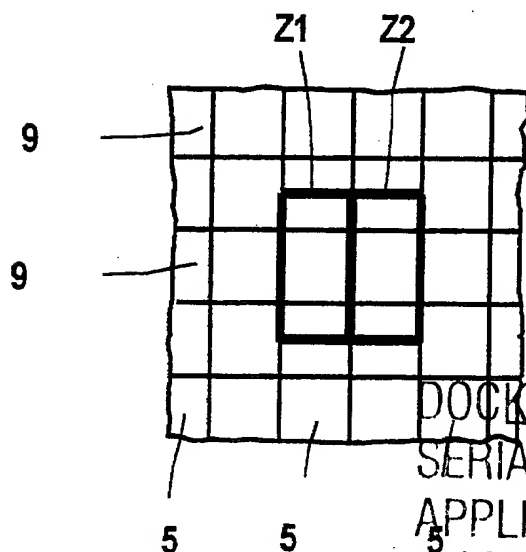


FIG 6



DOCKET NO: EHF 2001, 0167 P

SERIAL NO: 09/873,230

APPLICANT: Benesch et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

BLANK PAGE